

ACTIVE MATRIX SUBSTRATE AND ITS MANUFACTURING METHOD

Publication number: JP2002156644

Publication date: 2002-05-31

Inventor: NAGATA HISASHI; NOGUCHI NOBORU

Applicant: SHARP KK

Classification:

- international: **G02F1/1343; G02F1/1368; G09F9/30; H01L21/336; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L29/66; (IPC1-7): G02F1/1343; G02F1/1368; G09F9/30; H01L21/336; H01L29/786**

- european:

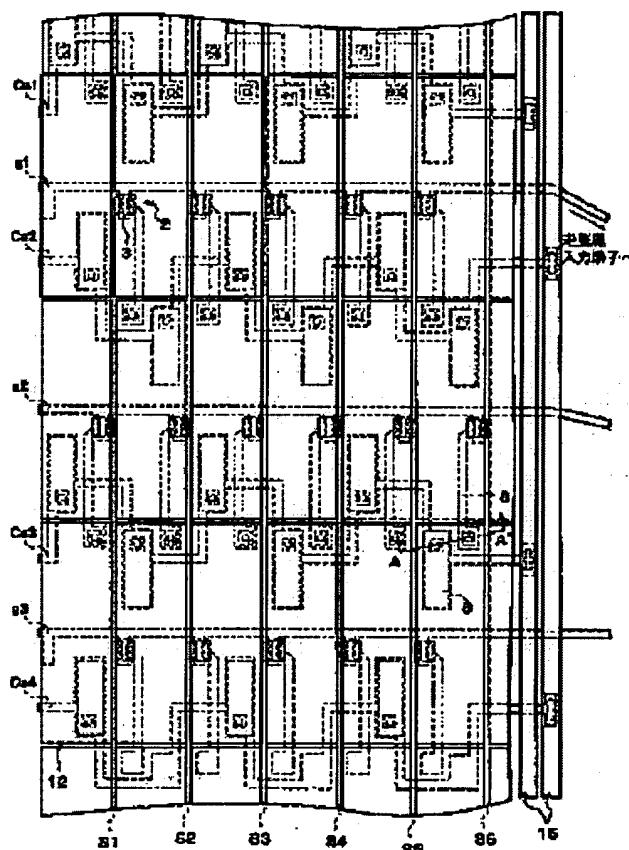
Application number: JP20000354360 20001121

Priority number(s): JP20000354360 20001121

Report a data error here

Abstract of JP2002156644

PROBLEM TO BE SOLVED: To reduce the power consumption and to improve the display quality while avoiding degradation in the characteristics of a substrate. **SOLUTION:** Second pixel electrodes 12 are formed to stride over scanning lines g1 which are arranged in the row direction. Auxiliary capacitive wirings Csm are formed to go by way of pixels that are in a staggered positional relationship in the row direction of the regions interposed between adjacent scanning lines. Thus, a liquid crystal display device in which signal lines Sn, the wirings Csm and counter electrodes are single vertical reversely driven while acting similar to a dot reversal driving. Since the wirings Csm are formed in the regions sandwiched by the adjacent scanning lines g1, the wirings Csm are not formed to stride over the lines g1 and the wirings Csm and the lines g1 are formed in a same layer. Thus, both wirings are pulled out to a panel tip part in a single connected manner.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-156644
(P2002-156644A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 0 2 F 1/1343		C 0 2 F 1/1343	2 H 0 9 2
1/1368		C 0 9 F 9/30	3 3 8 5 C 0 9 4
G 0 9 F 9/30	3 3 8	C 0 2 F 1/136	5 0 0 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C
21/336			6 1 2 D
審査請求 未請求 請求項の数9 O L (全 13 頁)			

(21) 出願番号 特願2000-354360(P2000-354360)

(22) 出願日 平成12年11月21日 (2000. 11. 21)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 永田 尚志

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 野口 登

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

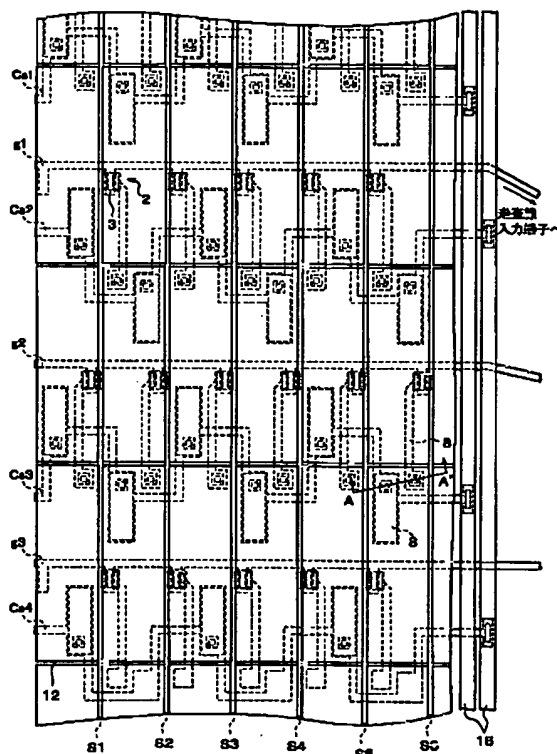
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびその製造方法

(57) 【要約】

【課題】 基板の特性低下を回避しつつ、消費電力の低減および表示品位の向上を図る。

【解決手段】 第2の画素電極12を、行方向に配置される走査線g1をまたぐように形成する。補助容量配線Csmを、隣接する走査線で挟まれた領域の行方向において千鳥配置の位置関係にある画素を経由するように形成する。これにより、信号線Sn、補助容量配線Csm、対向電極をいずれも1垂直反転駆動としながら、ドット反転駆動と同じように振る舞う液晶表示装置を提供できる。また、隣接する走査線g1で挟まれた領域内に補助容量配線Csmが形成されるため、補助容量配線Csmは走査線g1をまたいで形成されることがなく、補助容量配線Csmと走査線g1とを同一レイヤーで形成することが可能となる。これにより、上記の両配線をパネル端部まで一つながりに引き出すことが可能となる。



【特許請求の範囲】

【請求項1】行方向に配置される複数の走査線と、列方向に配置される複数の信号線と、上記信号線に接続され、上記走査線の信号により駆動されるスイッチング素子と、上記スイッチング素子と接続され、各画素に対応してマトリクス状に配置される画素電極とを備えたアクティブマトリクス基板において、隣接する走査線に挟まれた領域において行方向に延伸される補助容量配線をさらに備え、上記画素電極は、上記走査線をまたぐように形成されており、上記補助容量配線は、上記領域の行方向において千鳥配置の位置関係にある画素を経由するように形成されていることを特徴とするアクティブマトリクス基板。

【請求項2】上記走査線および上記補助容量配線は、陽極酸化されていることを特徴とする請求項1に記載のアクティブマトリクス基板。

【請求項3】上記信号線は、当該信号線に隣接する画素と行ごとに交互にスイッチング素子を介して接続されていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。

【請求項4】上記画素電極は、当該画素電極がまたいでいる走査線の前後いずれかの走査線によって制御されるスイッチング素子と接続されていることを特徴とする請求項1ないし3のいずれかに記載のアクティブマトリクス基板。

【請求項5】上記画素電極は、上記信号線および上記走査線と層間絶縁膜を介して設けられていることを特徴とする請求項1ないし4のいずれかに記載のアクティブマトリクス基板。

【請求項6】上記画素電極は、当該画素電極がまたいでいる走査線によって制御されるスイッチング素子と接続されていると共に、上記信号線および上記走査線と層間絶縁膜を介して設けられていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。

【請求項7】上記信号線は、当該信号線に対して両側に位置する画素のうち、全て同じ側に位置する画素とスイッチング素子を介して接続されていることを特徴とする請求項6に記載のアクティブマトリクス基板。

【請求項8】上記画素電極は、反射電極であることを特徴とする請求項1ないし7のいずれかに記載のアクティブマトリクス基板。

【請求項9】絶縁性基板上に、複数の走査線を行方向に形成すると共に、隣接する走査線に挟まれた領域に補助容量配線を形成する第1の工程と、上記絶縁性基板上に複数の信号線を列方向に形成する第2の工程と、上記信号線に接続され、上記走査線の信号により駆動されるスイッチング素子を形成する第3の工程と、

上記スイッチング素子と接続される画素電極を各画素に対応してマトリクス状に形成する第4の工程とを有し、上記第1の工程では、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように上記補助容量配線を形成し、

上記第4の工程では、上記走査線をまたぐように上記画素電極を形成することを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば液晶表示装置に用いられるアクティブマトリクス基板およびその製造方法に関するものである。

【0002】

【従来の技術】従来の液晶表示装置に用いられるアクティブマトリクス基板では、対向電極は微細にはパターンニングされず、表示領域全体にわたって透明導電膜が成膜されてなる形態であった。そして、信号線の駆動電圧（信号）が走査線1ラインごとに極性反転される、いわゆるライン反転駆動においては、信号線の上記信号の反転周期にあわせて、逆位相の反転信号を対向電極に供給するのが一般的であった。これは、信号線からアクティブマトリクス基板に供給する信号の振幅を小さくして、耐圧の低いICでの駆動を可能にする目的他に、信号線駆動にかかる消費電力を低減する目的があったからである。しかし、パネルの大きさや規格によっては、対向電極は数十nFと非常に大きな負荷であるため、対向電極を高周期で反転駆動することは、さらに消費電力を低減する上では不利と言わざるを得なかった。

【0003】また、上記信号線の信号の極性反転に加えて、隣接する信号線間でも信号の極性を逆にする、いわゆるドット反転駆動では、上記のような対向電極の反転駆動そのものできないという問題があった。

【0004】そこで、例えば、特開平6-149174号公報では、図7に示すように、共通電極63を複数の群（同図では、第1のグループVC1と第2のグループVC2との2組）に分割して形成し、各群に互いに逆極性の電圧を印加するようにしている。そして、データライン68-1～68-5の敷設方向に配置されている画素を交互に共通電極63に接続するようにしている。より具体的には、第1のグループVC1に属する共通電極63-1には、画素P11、P22、P13を接続し、第2のグループVC2に属する共通電極63-2には、画素P21、P32、P23を接続し、第1のグループVC1に属する共通電極63-3には、画素P31、P42、P33を接続する、といったように、それぞれの画素を千鳥状に共通電極63に接続するようにしている。そして、各群に印加される電圧の極性反転をフレーム周期で行うようにしている。なお、同図中、61はスイッチング素子を示し、67-1、67-2、67-3

はゲートラインを示している。

【0005】これにより、共通電極63の電圧極性の反転時に生じる充放電電流が小さくなり、消費電力の低減が図られている。また、隣接する画素間で電圧極性が互いに逆極性となるため、フリッカの発生も抑制されている。

【0006】また、上記公報では、図8に示すように、データライン68-1~68-5の敷設方向に千鳥配置の関係にある画素（例えば画素P11、P22、P13）にデータ信号を同じラインで供給できるように、データライン68-1~68-5を屈曲配置し、スイッチング素子61を介してこれらの画素に接続する構成についても開示されている。この構成において、データ信号の極性反転を低周期化することにより、さらなる消費電力の低減が図られている。

【0007】一方、例えば、特開平11-119193号公報では、上述した対向電極の配線方法と同じような考え方で補助容量配線を敷設することによって、上記と同様の効果を得るようにした液晶表示装置が開示されている。この液晶表示装置では、図9に示すように、複数行の走査ラインXと複数列の信号ラインYとで囲まれた領域に設けられた画素71の補助容量Csを形成すべく、透明画素電極の一部と対向配置されるCs電極を、信号ラインYに沿って配線されるCsライン72（補助容量配線）と接続している。

【0008】ここで、Csライン72は、信号ラインYに沿って交互に設けられるCsライン72a・72bで構成されている。そして、ある列のCsライン72に対して、1行ごとに隣り合う列の画素71のCs電極が接続されている。つまり、1本のCsライン72を挟んで千鳥配置の関係にある画素71のCs電極が、上記Csライン72に接続されている。

【0009】また、上記透明画素電極と液晶材料を介して対向配置される対向電極73は、画素単位でパターン形成されている。そして、上記Cs電極の場合と同様に、1本の信号ラインYに関して1行ごとに隣り合う列の対向電極73・73同士が補助パターン74を介して接続されている。そして、対向電極73は、1列おきに2本の接続パターン75a・75bに接続され、全体として2系統に分けられている。

【0010】

【発明が解決しようとする課題】上述のように、消費電力を低く抑え、かつ、フリッカを防止するには、信号線に対して1水平ラインずつ、交互に信号線と画素とをスイッチング素子を介して接続し、対向電極および補助容量配線についても、隣接する画素がそれぞれ異なる系列に含まれるように、2系列に分けて接続することが有効である。このとき、斜め上下の位置関係にある画素同士で補助容量配線を接続することは設計上容易ではなく、様々な工夫が強いられる。

【0011】図9に示した液晶表示装置では、補助容量配線を信号線に沿って配置している。この場合、補助容量配線は走査線と直交することになるので、当然信号線と同じレイヤーで配設しているものと考えられる。一方、画素容量のうち、補助容量は、画素電極と絶縁膜を介して容量形成する必要があるため、補助容量電極は、走査線と同じレイヤーで配設しているものと考えられる。なお、ここでは、工程数を余分に追加することなくレイヤー数を節約するという、コスト的に有利な条件下で製造する場合を想定している。

【0012】ところで、ゲート絶縁膜におけるピンホールによるリーク欠陥や信頼性不良を防止したり、走査線材料とゲート絶縁膜との密着性を向上させることによって、アクティブマトリクス基板としての特性を向上させるために、走査線をバターンニングした後、陽極酸化を施して絶縁膜を形成することがしばしば行われている。このためには、走査線レイヤーの配線パターンがショートリングと呼ばれる電極に接続されて電圧を印加できる状態になければならない。

【0013】しかし、図9の構造では、補助容量電極は走査線レイヤーで形成されるにしても浮島状のパターンであるため、陽極酸化を施すことができない。したがって、上記したリーク欠陥、信頼性等に関する問題を解決して基板の特性を向上させることができないという問題が生ずる。

【0014】また、補助容量配線を走査線に沿って配置する場合には、例えば、上記とは逆に、走査線レイヤーで補助容量配線を形成し、斜め上下の画素の補助容量電極形成部に向けて信号線レイヤーで走査線を横断し、さらに容量電極を走査線レイヤーで形成する構成が考えられる。しかし、この構成では、補助容量配線を信号線に沿って配置する上述の構成よりもさらに構造が複雑となり、コンタクトホールの数も増加する上、上記と同様の理由で補助容量電極の陽極酸化も不可能である。

【0015】なお、補助容量電極が浮島状のパターンであると、当該補助容量電極に対して陽極酸化を施すことができない点について、さらに詳細に説明すれば以下の通りである。

【0016】通常、陽極酸化を行う際には、処理を施したい金属のパターンニングが完了した時点で、その金属パターン全体を電源に接続し、電解液中で処理を施す。酸化すべき金属には正極性の電圧を印加し、電解液中には別途電極を設けて当該電解液に負極性の電圧を印加する。すると、電解液中のイオンが移動して上記金属と反応し、上記金属表面に酸化膜が形成されるのである。なお、金属の成膜段階ではなく、上記金属のパターンニングが完了した時点で上記の処理を施すのは、パターンニングによってエッチングされた断面部にも、上記表面と同様に酸化膜が形成されるようにするためである。

【0017】ところで、陽極酸化時には、陽極酸化の対

象となる金属は、上述のように必ず電源に接続される必要があり、このため、陽極酸化を施すべき金属配線は基板端部などでショートリングと呼ばれる同レイヤーの金属で短絡されている。また、上記ショートリングは、基板端部に電圧印加用の入力部を備えている。したがって、上記入力部に電圧を与え、陽極酸化を施すべき金属配線を電解液に浸けることにより、上記金属配線と同レイヤーの全パターンに陽極酸化が施されることになる。

【0018】このとき、陽極酸化の対象となる金属が浮島状のパターンであると、上記金属の全てについて陽極酸化を施すようにするためには、その全てのパターンを電源に接続することが必要となる。しかし、このような接続は現実的には不可能であるため、結局、浮島部分を陽極酸化することはできないということになる。

【0019】すなわち、あるレイヤーの全パターンに陽極酸化を施すためには、それらの全てが少なくともパターンニングが完了した時点において、電圧印加用の入力部から一つながりのパターンであることが必要とされることになる。

【0020】本発明は、上記の問題点を解決するためになされたもので、その目的は、基板の特性低下を回避しつつ、消費電力の低減および表示品位の向上を図ることができるアクティブマトリクス基板と、その製造方法とを提供することにある。

【0021】

【課題を解決するための手段】本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、行方向に配置される複数の走査線と、列方向に配置される複数の信号線と、上記信号線に接続され、上記走査線の信号により駆動されるスイッチング素子と、上記スイッチング素子と接続され、各画素に対応してマトリクス状に配置される画素電極とを備えたアクティブマトリクス基板において、隣接する走査線に挟まれた領域において行方向に延伸される補助容量配線をさらに備え、上記画素電極は、上記走査線をまたぐように形成されており、上記補助容量配線は、上記領域の行方向において千鳥配置の位置関係にある画素を経由するように形成されていることを特徴としている。

【0022】上記の構成によれば、各画素に対応する画素電極が、行方向に配置される走査線および列方向に配置される信号線とスイッチング素子を介して接続されることで、マトリクス状に形成される。また、隣接する走査線に挟まれた領域において行方向には補助容量配線が延伸されており、この補助容量配線を介して各画素に補助容量が形成される。

【0023】ここで、上記補助容量配線は、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように形成されている。これにより、本発明のアクティブマトリクス基板と、例えば上記補助容量配線のパターンに対応して対向電極を形成した

対向基板とを液晶層を介して貼り合わせて液晶表示装置を構成した場合には、信号線、補助容量配線および対向電極を1垂直反転駆動として、隣接する画素間で画素の極性を反転させることが可能となり、ドット反転駆動と同じように振る舞う液晶表示装置を提供することができる。

【0024】したがって、上記構成によれば、ドット反転駆動の場合と同等の表示品位を確保することができる。また、補助容量配線をフレーム反転駆動とすることができるので、ドット反転駆動の場合よりもさらに低消費電力化を図ることができる。

【0025】また、上記画素電極は、走査線をまたぐように形成されているので、隣接する走査線の間には、ともに行方向に走る2列の画素電極の一部が存在することになる。これにより、走査線をまたぐことなく、行方向に千鳥配置の関係にある画素を経由するように補助容量配線を敷くことが可能となる。したがって、補助容量配線は走査線を横断することがないので、補助容量配線と走査線とを同一レイヤーで形成することが可能となる。

【0026】したがって、走査線のみならず、補助容量配線についても、パネル端部まで一つながりに引き出すことが可能となり、補助容量配線および走査線の個々に対して陽極酸化を確実に行うことが可能となる。その結果、上述の効果を得ながらにして、アクティブマトリクス基板としての特性の向上を図ることができる。

【0027】本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記走査線および上記補助容量配線は、陽極酸化されていることを特徴としている。

【0028】上記の構成によれば、アクティブマトリクス基板におけるリーク欠陥や信頼性不良等の問題を解決することができ、アクティブマトリクス基板としての特性を確実に向上させることができる。

【0029】本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記信号線は、当該信号線に隣接する画素と行ごとに交互にスイッチング素子を介して接続されていることを特徴としている。

【0030】上記の構成によれば、信号線および補助容量配線ともにフレーム反転駆動でありながら、ドット反転駆動の場合と同じように、隣り合う画素同士の極性を異ならせることができる。これにより、ドット反転駆動の場合と同じような表示品位を確保することができる。しかも、信号線はフレーム反転駆動でよいいため、ドット反転駆動の場合よりもさらに低消費電力である。また、信号線を駆動するドライバも高電圧対応でなくても済み、ドライバコストも低減できる。

【0031】本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記画素電極は、当該画素電極がまたいでいる走査線の前後いずれかの走査線によって制御されるスイッチング素子と接続されてい

ることを特徴としている。

【0032】上記の構成によれば、画素電極は、その画素を駆動している走査線とは重なっていないため、上記走査線と上記画素との間の静電容量が小さく、上記走査線の駆動パルスの立ち下がり時に、上記画素における画素電極の電位の引き込みを小さく抑えることができる。このため、対向電圧ずれを未然に防止しやすく、表示品位、信頼性ともに良好な液晶表示装置を得ることができる。

【0033】本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記画素電極は、上記信号線および上記走査線と層間絶縁膜を介して設けられていることを特徴としている。

【0034】上記の構成によれば、画素電極と、上記信号線および上記走査線との間に層間絶縁膜を設けることにより、上記画素電極を信号線や走査線と重畳して形成することができる。これにより、例えば上記画素電極を反射電極で構成することによって、開口率を大きくとることができる。

【0035】本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記画素電極は、当該画素電極がまたいでいる走査線によって制御されるスイッチング素子と接続されていると共に、上記信号線および上記走査線と層間絶縁膜を介して設けられていることを特徴としている。

【0036】上記の構成によれば、画素電極は、その画素を駆動している走査線と重なっていないが、上記信号線および上記走査線と層間絶縁膜を介して設けられているため、上記走査線と上記画素との間の静電容量が小さくなり、上記走査線の駆動パルスの立ち下がり時に、上記画素における画素電極の電位の引き込みを小さく抑えることができる。これにより、画素電極が、その画素を駆動している走査線と重なっている構成であっても、対向電圧ずれを未然に防止しやすくなり、表示品位、信頼性ともに良好な液晶表示装置を得ることができる。

【0037】また、画素電極と、上記信号線および上記走査線との間に層間絶縁膜を設けることにより、上記画素電極を信号線や走査線と重畳して形成することができる。これにより、例えば上記画素電極を反射電極で構成することによって、開口率を大きくとることができる。

【0038】本発明に係るアクティブマトリクス基板は、上記の課題を解決するために、上記信号線は、当該信号線に対して両側に位置する画素のうち、全て同じ側に位置する画素とスイッチング素子を介して接続されていることを特徴としている。

【0039】上記の構成によれば、例えば信号線のパターンニング時に微妙に位置がずれた場合でも、全画素が同じ作用をする方向にずれるため、不具合として視認される場合が少ない。

【0040】本発明に係るアクティブマトリクス基板

は、上記の課題を解決するために、上記画素電極は、反射電極であることを特徴としている。

【0041】上記の構成によれば、画素電極が反射電極であるアクティブマトリクス基板を用いることで、反射型の液晶表示装置が構成されるので、反射型の液晶表示装置において、上述した効果を得ることが可能となる。

【0042】本発明に係るアクティブマトリクス基板の製造方法は、上記の課題を解決するために、絶縁性基板上に、複数の走査線を行方向に形成すると共に、隣接する走査線に挟まれた領域に補助容量配線を形成する第1の工程と、上記絶縁性基板上に複数の信号線を列方向に形成する第2の工程と、上記信号線に接続され、上記走査線の信号により駆動されるスイッチング素子を形成する第3の工程と、上記スイッチング素子と接続される画素電極を各画素に対応してマトリクス状に形成する第4の工程とを有し、上記第1の工程では、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように上記補助容量配線を形成し、上記第4の工程では、上記走査線をまたぐように上記画素電極を形成することを特徴としている。

【0043】上記の構成によれば、絶縁性基板（例えばガラス基板）上に、複数の走査線が行方向に形成され、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように上記補助容量配線が形成される。そして、上記絶縁性基板上に複数の信号線が列方向に形成されると、各画素に対応する画素電極が、上記走査線および上記信号線とスイッチング素子を介して接続され、マトリクス状に形成される。

【0044】ここで、上記補助容量配線は、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように形成されている。これにより、上記の手法で製造されたアクティブマトリクス基板と、例えば上記補助容量配線のパターンに対応して対向電極を形成した対向基板とを液晶層を介して貼り合わせて液晶表示装置を構成した場合には、信号線、補助容量配線および対向電極を1垂直反転駆動として、隣接する画素間で画素の極性を反転させることが可能となり、ドット反転駆動と同じように振る舞う液晶表示装置を提供することができる。

【0045】したがって、上記構成によれば、ドット反転駆動の場合と同等の表示品位を確保することができる。また、補助容量配線をフレーム反転駆動とすることができるので、ドット反転駆動の場合よりもさらに低消費電力化を図ることができる。

【0046】また、上記画素電極は、走査線をまたぐように形成されているので、隣接する走査線の間には、ともに行方向に走る2列の画素電極の一部が存在することになる。これにより、走査線をまたぐことなく、行方向に千鳥配置の関係にある画素を経由するように補助容量配線を敷くことが可能となる。したがって、補助容量配

線は走査線を横断することがないので、補助容量配線と走査線とを同一レイヤーで形成することが可能となる。

【0047】したがって、走査線のみならず、補助容量配線についても、パネル端部まで一つなりに引き出すことが可能となり、補助容量配線および走査線の個々に対して陽極酸化を確実に行うことが可能となる。その結果、上述の効果を得ながらにして、アクティブマトリクス基板としての特性の向上を図ることができる。

【0048】

【発明の実施の形態】本発明の実施の一形態について、図面に基づいて説明すれば以下の通りである。

【0049】図1は、本発明に係るアクティブマトリクス基板の平面図であり、図2は、図1におけるA-A'線矢視断面図である。本発明に係るアクティブマトリクス基板の製造の流れ自体は従来と同様であるが、走査線および補助容量配線の形成の仕方が従来とは異なっている。以下、本発明に係るアクティブマトリクス基板の製造方法について説明する。

【0050】まず、ガラスなどの透明な絶縁性基板1上に、Ta（タンタル）を成膜した後、フォトリソグラフィ技術およびエッチング法（ドライエッチング法もしくはウェットエッチング法）を用いて、走査線g1（ $1=1, 2, \dots$ ）、薄膜トランジスタ2（スイッチング素子）のゲート電極3、および、幹配線15を除く補助容量配線Csm（ $m=1, 2, \dots$ ）を形成する。

【0051】このとき、走査線g1が行方向（図1では横方向）に形成されているとするならば、補助容量配線Csmについては、隣接する2本の走査線に挟まれた領域において行方向に千鳥配置の位置関係にある画素（後述する）を経由するように、走査線g1と同一レイヤーで形成される。

【0052】ここで、これらの配線は全て、基板端部に電圧印加用の入力部を備えたショートリング（図示せず）に接続されており、アクティブマトリクス基板完成後には分断によって各々の配線に切り離される。

【0053】次に、このショートリングを片方の電極として電解液中で電圧印加することにより、これらの膜面に陽極酸化膜4を形成する。そして、窒化シリコンからなるゲート絶縁膜5、半導体層（図示せず）、ソース、ドレイン電極となる $n^+ - Si$ 層（図示せず）を連続して積層し、パターニングする。このパターニングにおいては、積層された膜のうち、半導体層および $n^+ - Si$ 層を同時に、半導体層の残るべきパターンに応じて形成する。すなわち、薄膜トランジスタ2のチャンネル部となる部分の n^+ 層のギャップはまだ形成しない。

【0054】次に、ゲート絶縁膜5のパターニングを行う。これは、第1に、端子近傍の走査線g1へのコンタクト部分を設けるためである。また、第2に、補助容量配線Csmの偶数ライン（例えばCs2、Cs4）および奇数ライン（例えばCs1、Cs3）が端部で信号線

レイヤーで構成された幹配線15によってそれぞれ結線される際、コンタクト部となるべき部分を形成するためである。

【0055】次に、透明導電膜6と金属層7とを連続して積層した後、まず、金属層7をパターニングする。このパターニングによって形成されるのは、信号線Sn（ $n=1, 2, \dots$ ）および薄膜トランジスタ2のソース電極、ドレイン電極、および補助容量配線Csmの幹配線15である。幹配線15は、信号線Snに沿って2本設けられ、行方向に走る補助容量配線Csmは1本おきに別々の幹配線15に接続される。そして、透明導電膜6をパターニングして第1の画素電極8を形成する。

【0056】ところで、信号線Snを上記のように2層の積層構造にしているのは、積層時のダストなどによる断線に対する冗長としての効果（どちらの層の断線にも対応できる効果）や、上層の金属層7のパターニング時の下地へのダメージの防止などを狙ったものあり、従来から用いられている手法である。透明導電膜6はITO（Indium Tin Oxide）が一般的である。また、金属層7の方が上層の場合もあれば、透明導電膜6の方が上層の場合もあり、本発明ではどちらであってもかまわない。

【0057】次に、トランジスタ部において先に形成した金属層7および透明導電膜6をマスクにして、 $n^+ - Si$ 層をエッチングし、薄膜トランジスタ2のチャンネル部を形成する。そして、むき出しになった半導体層を保護するための保護膜9を成膜した後、第1の画素電極8の上部であって、後述する第2の画素電極12とのコンタクト部10および対向電極接続部（図示せず）、端子部（図示せず）に形成された保護膜9をエッチングによって除去する。そして、樹脂からなる層間絶縁膜11をスピン塗布によって成膜した後、コンタクト部10にコンタクトホールを露光現像によって形成する。さらに、層間絶縁膜11および第1の画素電極8上に、各画素に対応する第2の画素電極12を成膜した後、パターニングを行って、アクティブマトリクス基板が完成する。本実施形態では、第2の画素電極12はAl（アルミニウム）を用いて反射電極で形成され、走査線g1をまたぐように形成されている。

【0058】以上の工程により、行方向に配置される複数の走査線g1と、列方向（図1では縦方向）に配置される複数の信号線Snと、上記信号線Snに接続され、上記走査線g1の信号により駆動される薄膜トランジスタ2と、上記薄膜トランジスタ2と接続され、各画素に対応してマトリクス状に配置される第2の画素電極12と、隣接する走査線g1に挟まれた領域において行方向に延伸される補助容量配線Csmとを備えたアクティブマトリクス基板が形成される。

【0059】一方、対向基板となるガラスなどの絶縁性基板には、あらかじめカラーフィルターやブラックマ

トリクスなどが形成されている。そして、ITOなどの透明導電膜を成膜した後、この透明導電膜を図3のようにパターンニングして対向電極13を形成する。つまり、対向基板がアクティブマトリクス基板と貼り合わされたときに、補助容量配線Cs_mと各画素との対応関係と、対向電極13と各画素との対応関係とが一致するように、対向電極13がパターン形成される。

【0060】そして、アクティブマトリクス基板における対向電極接続部に相当する部分に、カーボンペーストや銀ペーストなどの導電性物質を付着させる。アクティブマトリクス基板には一部開口部を設けておき、表示部周囲にシール剤（図示せず）を塗布し、液晶層を一定の厚みにするためにスペーサー（図示せず）を散布した後、アクティブマトリクス基板と対向基板とを貼りあわせる。そして、加熱により、上記シール剤を硬化させる。上記開口部から液晶を注入した後、封止剤（図示せず）によって開口部を塞ぐことで、液晶表示装置（液晶パネル）が完成する。

【0061】このようにして完成した液晶表示装置は、ITOによる対向電極13が上述のようにパターンニングされていることによって、補助容量配線Cs_mの奇数ライン（Cs₁、Cs₃）とそれに対応する対向電極13のパターンとが一つの群をなし、補助容量配線Cs_mの偶数ライン（Cs₂、Cs₄）とそれに対応する対向電極13のパターンとがもう一つの群をなす、2系統の信号系統となる。そしてそれぞれの群は、行方向および列方向の両者において、補助容量配線Cs_mおよび対向電極13が隣り合う画素で接続されることのない、いわばモザイク状にグループ分けされたものとなる。

【0062】ここで、図4は、この液晶表示装置の駆動信号を表している。同図に示すように、信号線Sn、補助容量配線Cs_mに与える信号は、垂直期間毎に極性反転する、いわゆるフレーム反転でよい。したがって、従来のライン反転よりも周波数がずっと低く、低消費電力で駆動できる。

【0063】また、図5は、図4の第1フレーム書き込み後における各配線を通る信号および画素の極性を、図1の画素配置に対応するように示したものである。画素の極性としてはドット反転と同じ配列であり、上述のようなフリッカや縞模様が見認されるような問題点は生じない。

【0064】また、画素の極性に対して逆極性となるように補助容量配線Cs_mおよび対向電極13に電圧が印加されるので、信号線Snに与える電圧を小さく抑えて低消費電力化を実現しているにも関わらず、液晶には駆動するに足る十分な電圧が印加可能となっている。

【0065】以上のように、本発明では、隣接する走査線g₁に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように補助容量配線Cs_mを形成しているため、本発明のアクティブマトリクス基板と上

記した対向基板とを貼り合わせて液晶表示装置を構成した場合には、信号線Sn、補助容量配線Cs_m、対向電極13をいずれも1垂直反転駆動としながら、ドット反転駆動と同じように振る舞う液晶表示装置を提供することができる。

【0066】したがって、本発明によれば、ドット反転駆動の場合と同じような表示品位を確保することができると共に、信号線Snに与える信号の振幅を小さくして、消費電力を低減することができる。また、補助容量配線Cs_mをフレーム反転駆動とすることができるので、さらなる低消費電力化を図ることが可能となる。

【0067】また、本発明では、第2の画素電極12を、走査線g₁をまたぐように形成しているため、走査線g₁の両側のいずれの側においても、補助容量配線Cs_mを敷くことが可能となり、上記いずれの側にも補助容量を形成することができる。しかも、隣接する走査線g₁の間には、ともに行方向に走る2列の第2の画素電極12の一部が存在することになるので、行方向に千鳥配置の関係にある画素を経由するように補助容量配線Cs_mを走査線g₁をまたぐことなく敷くことが可能となる。つまり、隣接する走査線g₁に挟まれた領域内では隣接しない画素（斜め上下の位置関係にある画素）に対応する補助容量配線Cs_mを、走査線g₁をまたぐことなく容易に電気的に接続することが可能となる。これにより、本実施形態で説明したように、補助容量配線Cs_mと走査線g₁とを同一レイヤーで形成することが可能となる。

【0068】したがって、走査線g₁のみならず、補助容量配線Cs_mについても、パネル端部まで一つながりに引き出すことが可能となり、電圧印加用の入力部を介しての電圧印加により、全ての補助容量配線Cs_mおよび走査線g₁に対して陽極酸化を確実に行うことが可能となる。その結果、消費電力の低減および表示品位の向上を図りながら、同時に、ゲート絶縁膜5におけるピンホールによるリーク欠陥や信頼性不良を防止し、走査線材料とゲート絶縁膜5との密着性を向上させることができるなど、アクティブマトリクス基板としての特性の向上を図ることができる。

【0069】実際に、本実施形態では、走査線g₁および補助容量配線Cs_mに対して陽極酸化を施して陽極酸化膜4を形成しており、アクティブマトリクス基板の特性向上が図られている。

【0070】また、アクティブマトリクス基板が本発明の構造を採るための製造プロセスの増加はなく、本発明のアクティブマトリクス基板は、従来通り、安価に製造が可能である。

【0071】また、本実施形態では、信号線Snは、当該信号線Snに隣接する画素と行ごとに交互にスイッチング素子を介して接続されている構成となっている。この構成では、信号線Sn、補助容量配線Cs_mともにフ

レーム反転駆動でありながら、ドット反転駆動の場合と同じように、隣り合う画素同士の極性が異なる状態となる。

【0072】液晶に印加される電圧のDC値がゼロになっていない、いわゆる対向電圧ずれの状態において、画素の極性が走査線g1ごとに反転するいわゆる1水平反転駆動では、縞模様が視認される。もし、これを低い周波数で駆動した場合には、明らかに対向電圧ずれとわかるほどまで表示品位が低下するが、ドット反転駆動ではこのずれは目視では視認されない。上記のように信号線Snを配設すれば、このようなドット反転駆動の場合と同じように振る舞うことができ、表示品位を確実に向上させることができる。

【0073】しかも、通常のドット反転駆動とは異なり、信号線Snへ供給する電圧としてはフレーム反転したものでよいから、ドット反転駆動の場合よりもさらに低消費電力である。また、信号線ドライバICは高電圧対応でなくても済むため、信号線ドライバICを低いコストで生産できる。

【0074】さらに、本実施形態では、図1に示すように、第2の画素電極12は、当該第2の画素電極12がまたいでいる走査線（例えばg2）ではなく、例えば1行上の走査線（例えばg1）によって制御される薄膜トランジスタ2と接続される構成を採っている。

【0075】第2の画素電極12が、またいでいる走査線g1によって駆動されるようにすると、その画素を駆動している走査線g1と上記画素との間の静電容量が大きくなる。すると、走査線g1の駆動パルスの立ち下がり時、すなわち第2の画素電極12への電荷書き込み時に、第2の画素電極12の電位の引き込みが大きくなり、第2の画素電極12の電位のセンター値が大きくなるため、対向電極13の印加電圧を最適値に調整することが困難になる場合がある。

【0076】しかし、上記した本実施形態の構成を採ると、第2の画素電極12は走査線g2とは重なっているが、その画素を駆動している走査線g1とは重なっていないため、上記走査線g1と上記画素との間の静電容量が小さく、走査線g1の駆動パルスの立ち下がり時に、上記画素における第2の画素電極12の電位の引き込みを小さく抑えることができる。このため、対向電圧ずれを未然に防止しやすく、表示品位、信頼性ともに良好な表示装置を得ることができる。しかも、各走査線g1は第2の画素電極12によって覆われているため、走査線g1と対向電極13との間の電位差により液晶が確実に駆動され、配向乱れなどによる表示品位の低下を防ぐことも可能となる。

【0077】なお、第2の画素電極12は、当該第2の画素電極12がまたいでいる走査線（例えばg2）の1行下の走査線（例えばg3）によって制御される薄膜トランジスタ2と接続される構成であっても、上記の効果

を得ることができる。したがって、第2の画素電極12は、当該第2の画素電極12がまたいでいる走査線の前後いずれかの走査線によって制御されるスイッチング素子と接続されている構成であればよいと言える。

【0078】一方、第2の画素電極12を、当該第2の画素電極12がまたいでいる走査線g1によって制御されるスイッチング素子と接続される構成とする場合には、第2の画素電極12を信号線Snおよび走査線g1に対して樹脂からなる層間絶縁膜11を介して積層することが効果的である。なぜならば、層間絶縁膜11を設けることで、走査線g1とそれをまたいでいる第2の画素電極12との間の静電容量が小さくなり、上述した効果が得られるからである。図6は、このときのアクティブマトリクス基板の構造の一例を示している。

【0079】ここでは、信号線Snは、その両側の画素に対して、行ごとに交互に薄膜トランジスタを介して接続されてはならず、すべて同じ側に位置するスイッチング素子に接続されている。このときには、例えばバタニング時に微妙に位置がずれた場合にも全画素が同じ作用をする方向にずれるため、不具合として視認される場合が少ない。このパネルに信号を供給するドライバとしては、走査線g1ごとに信号線Snに与える画像データをずらして出力する必要がないため、構成がより簡単になる。

【0080】ただし、ドット反転駆動はドライバからの出力に基づいて行うので、1信号線毎に極性が異なるようにして、しかも各信号線Snをライン反転する必要があり、信号線Snとしては低周波駆動ができない。それでも、従来は不可能であった補助容量配線Csmへの信号印加による嵩上げ効果を得ることができるので、信号線Snの振幅を小さくすることができ、低消費かつドライバコストの低減が図れる点では、先の図1の構成の場合と同じである。しかも、補助容量配線Csmへの信号はフレーム反転でよいので、この部分での消費電力の増加は少なく、トータルでは従来より低消費電力に抑えられる。

【0081】また、第2の画素電極12が信号線Snおよび走査線g1に対して層間絶縁膜11を介して設けられる構成とすることにより、第2の画素電極12とその下層とが導通せず、しかも、より低い静電容量でしか容量結合しないため、第2の画素電極12を信号線Snや走査線g1に重畳することができ、開口率を大きくとることができる。さらに、反射型表示装置を形成する場合に、その反射特性を改善する必要がある場合にも、樹脂に凹凸をつけて散乱光をほどよい状態に調整するなどが可能になる。このように、第2の画素電極12を信号線Snおよび走査線g1に対して層間絶縁膜11を介して設ける構成は、図1の構成に適用しても勿論、効果がある。

【0082】また、例えば、特開平11-119193

号公報のように、補助容量配線を信号線に沿って配置した場合、信号線のレイヤーで形成された部分、すなわち信号線および補助容量配線は、画素の開口率を阻害する要素として働く。なぜなら、信号線レイヤーと画素電極とは絶縁膜を挟まずに配置されているため、これらの間はある程度の隙間で隔たれている必要があるからである。つまり、信号線レイヤーと画素電極との間に所定の隔たりを設ける分だけ、画素電極を小さく形成せざるを得ないのである。

【0083】また、例えば特開平9-162528号公報では、信号線と画素電極とをオーバーラップさせるようにしているが、このような構造であっても、信号線レイヤーは通常不透明であるため、開口率を阻害することには変わりはない。

【0084】さらに、信号線レイヤーにおける補助容量配線と、走査線レイヤーにおける補助容量電極とは、ゲート絶縁膜に設けられたコンタクトホールを介して接続されるが、コンタクトホールはある程度の面積を有するため、この部分も開口率に対して阻害するように働く。

【0085】しかし、本実施形態では、第2の画素電極12を反射電極としたアクティブマトリクス基板を作成しており、図1および図6に示す第2の画素電極12がそのまま開口部分として作用するため、それよりも下層の走査線g1や補助容量配線Csmなどは開口率を阻害するようには働かない。

【0086】

【発明の効果】本発明に係るアクティブマトリクス基板は、以上のように、隣接する走査線に挟まれた領域において行方向に延伸される補助容量配線をさらに備え、上記画素電極は、上記走査線をまたぐように形成されており、上記補助容量配線は、上記領域の行方向において千鳥配置の位置関係にある画素を経由するように形成されている構成である。

【0087】それゆえ、補助容量配線は、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように形成されているので、本発明のアクティブマトリクス基板と、例えば上記補助容量配線のパターンに対応して対向電極を形成した対向基板とを液晶層を介して貼り合わせて液晶表示装置を構成した場合には、信号線、補助容量配線および対向電極を1垂直反転駆動として、ドット反転駆動と同じように振る舞う液晶表示装置を構成することができる。

【0088】したがって、上記構成によれば、ドット反転駆動の場合と同等の表示品位を確保することができる。また、補助容量配線をフレーム反転駆動とすることができるので、ドット反転駆動の場合よりもさらに低消費電力化を図ることができる。

【0089】また、上記画素電極は、走査線をまたぐように形成されているので、隣接する走査線の間には、ともに行方向に走る2列の画素電極の一部が存在すること

になる。これにより、走査線をまたぐことなく、行方向に千鳥配置の関係にある画素を経由するように補助容量配線を敷くことが可能となる。したがって、補助容量配線は走査線を横断することがないので、補助容量配線と走査線とを同一レイヤーで形成することが可能となる。

【0090】したがって、走査線のみならず、補助容量配線についても、パネル端部まで一つながりに引き出すことが可能となり、補助容量配線および走査線の個々に対して陽極酸化を確実に行うことが可能となる。その結果、上述の効果を得ながらにして、アクティブマトリクス基板としての特性の向上を図ることができるという効果を奏する。

【0091】本発明に係るアクティブマトリクス基板は、以上のように、上記走査線および上記補助容量配線は、陽極酸化されている構成である。

【0092】それゆえ、アクティブマトリクス基板におけるリーク欠陥や信頼性不良等の問題を解決することができ、アクティブマトリクス基板としての特性を確実に向上させることができるという効果を奏する。

【0093】本発明に係るアクティブマトリクス基板は、以上のように、上記信号線は、当該信号線に隣接する画素と行ごとに交互にスイッチング素子を介して接続されている構成である。

【0094】それゆえ、信号線および補助容量配線ともにフレーム反転駆動でありながら、ドット反転駆動の場合と同じような表示品位を確保することができる。しかも、信号線はフレーム反転駆動でよいから、ドット反転駆動の場合よりもさらに低消費電力である。また、信号線を駆動するドライバも高電圧対応でなくても済み、ドライバコストも低減できるという効果を奏する。

【0095】本発明に係るアクティブマトリクス基板は、以上のように、上記画素電極は、当該画素電極がまたいでいる走査線の前後いずれかの走査線によって制御されるスイッチング素子と接続されている構成である。

【0096】それゆえ、上記走査線と上記画素との間の静電容量が小さくなり、上記走査線の駆動パルスの立ち上がり時に、上記画素における画素電極の電位の引き込みを小さく抑えることができる。このため、対向電圧ずれを未然に防止しやすく、表示品位、信頼性ともに良好な液晶表示装置を得ることができるという効果を奏する。

【0097】本発明に係るアクティブマトリクス基板は、以上のように、上記画素電極は、上記信号線および上記走査線と層間絶縁膜を介して設けられている構成である。

【0098】それゆえ、上記画素電極を信号線や走査線と層間絶縁膜を介して重畳して形成することができるので、例えば上記画素電極を反射電極で構成することによって、開口率を大きくとることができるという効果を奏する。

【0099】本発明に係るアクティブマトリクス基板は、以上のように、上記画素電極は、当該画素電極がまたいでいる走査線によって制御されるスイッチング素子と接続されていると共に、上記信号線および上記走査線と層間絶縁膜を介して設けられている構成である。

【0100】それゆえ、画素電極は、その画素を駆動している走査線と重なってはいないが、上記層間絶縁膜を設けていることにより、上記走査線と上記画素との間の静電容量が小さくなり、上記走査線の駆動パルスの立ち下がり時に、上記画素における画素電極の電位の引き込みを小さく抑えることができる。これにより、画素電極が、その画素を駆動している走査線と重なっている構成であっても、対向電圧ずれを未然に防止しやすくなり、表示品位、信頼性ともに良好な液晶表示装置を得ることができる。

【0101】また、上記画素電極を信号線や走査線と層間絶縁膜を介して重畳して形成することができるので、例えば上記画素電極を反射電極で構成することによって、開口率を大きくとることができるという効果を奏する。

【0102】本発明に係るアクティブマトリクス基板は、以上のように、上記信号線は、当該信号線に対して両側に位置する画素のうち、全て同じ側に位置する画素とスイッチング素子を介して接続されている構成である。

【0103】それゆえ、例えば信号線のパターンニング時に微妙に位置がずれた場合でも、全画素が同じ作用をする方向にずれるため、不具合として視認される場合が少ないという効果を奏する。

【0104】本発明に係るアクティブマトリクス基板は、以上のように、上記画素電極は、反射電極である構成である。

【0105】それゆえ、画素電極が反射電極であるアクティブマトリクス基板を用いた反射型の液晶表示装置において、上述した効果を得ることが可能となるという効果を奏する。

【0106】本発明に係るアクティブマトリクス基板の製造方法は、以上のように、絶縁性基板上に、複数の走査線を行方向に形成すると共に、隣接する走査線に挟まれた領域に補助容量配線を形成する第1の工程と、上記絶縁性基板上に複数の信号線を列方向に形成する第2の工程と、上記信号線に接続され、上記走査線の信号により駆動されるスイッチング素子を形成する第3の工程と、上記スイッチング素子と接続される画素電極を各画素に対応してマトリクス状に形成する第4の工程とを有し、上記第1の工程では、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように上記補助容量配線を形成し、上記第4の工程では、上記走査線をまたぐように上記画素電極を形成する構成である。

【0107】それゆえ、補助容量配線は、隣接する走査線に挟まれた領域の行方向において千鳥配置の関係にある画素を経由するように形成されているので、上記の手法で製造されたアクティブマトリクス基板と、例えば上記補助容量配線のパターンに対応して対向電極を形成した対向基板とを液晶層を介して貼り合わせて液晶表示装置を構成した場合には、信号線、補助容量配線および対向電極を1垂直反転駆動として、隣接する画素間で画素の極性を反転させることが可能となり、ドット反転駆動と同じように振る舞う液晶表示装置を提供することができる。

【0108】したがって、上記構成によれば、ドット反転駆動の場合と同等の表示品位を確保することができる。また、補助容量配線をフレーム反転駆動とすることができるので、ドット反転駆動の場合よりもさらに低消費電力化を図ることができる。

【0109】また、上記画素電極は、走査線をまたぐように形成されているので、隣接する走査線の間には、ともに行方向に走る2列の画素電極の一部が存在することになる。これにより、走査線をまたぐことなく、行方向に千鳥配置の関係にある画素を経由するように補助容量配線を敷くことが可能となる。したがって、補助容量配線は走査線を横断することがないので、補助容量配線と走査線とを同一レイヤーで形成することが可能となる。

【0110】したがって、走査線のみならず、補助容量配線についても、パネル端部まで一つながりに引き出すことが可能となり、補助容量配線および走査線の個々に対して陽極酸化を確実に行うことが可能となる。その結果、上述の効果を得ながらにして、アクティブマトリクス基板としての特性の向上を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス基板の概略の構成を示す平面図である。

【図2】図1のアクティブマトリクス基板におけるA-A'線矢視断面図である。

【図3】対向基板に形成された対向電極のパターンを示す平面図である。

【図4】上記アクティブマトリクス基板に形成される走査線、信号線および補助容量配線に与える各種信号のタイミングチャートである。

【図5】図4の第1フレーム書き込み後における各配線を通る信号および画素の極性を図1の画素配置に対応させて示した説明図である。

【図6】アクティブマトリクス基板の他の構成例を示す平面図である。

【図7】従来の液晶表示装置の概略の構成を示す説明図である。

【図8】従来の液晶表示装置の他の構成を示す説明図である。

【図9】従来の液晶表示装置のさらに他の構成を示す説明図である。

【符号の説明】

1 絶縁性基板

2 薄膜トランジスタ（スイッチング素子）

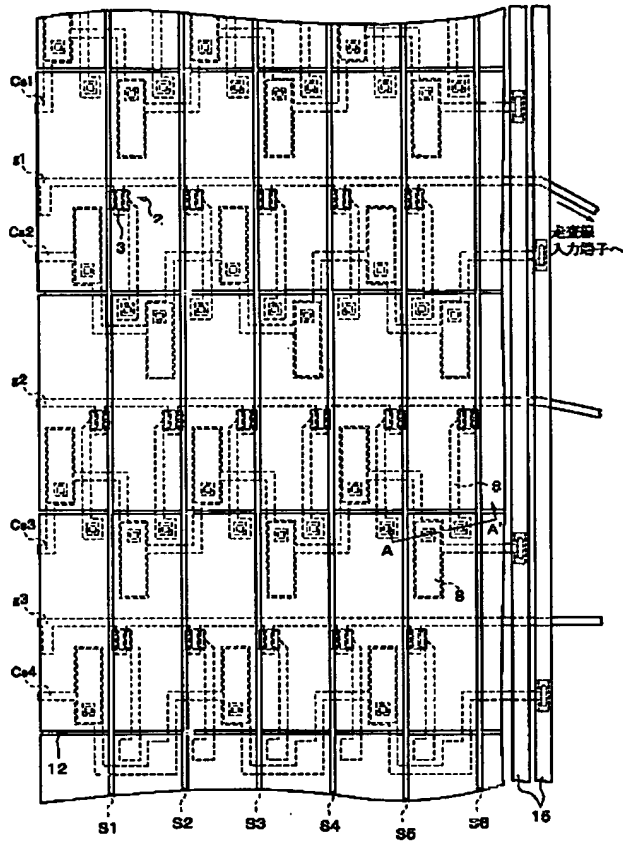
12 第2の画素電極（画素電極）

g1 走査線

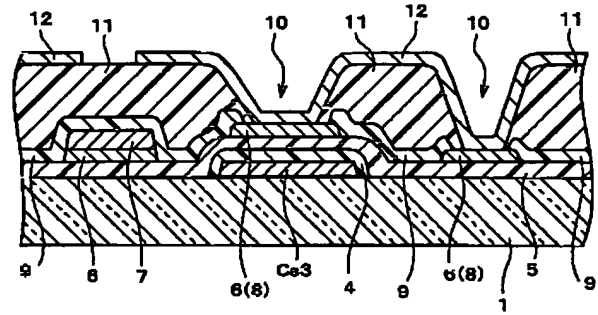
Sn 信号線

Csm 補助容量配線

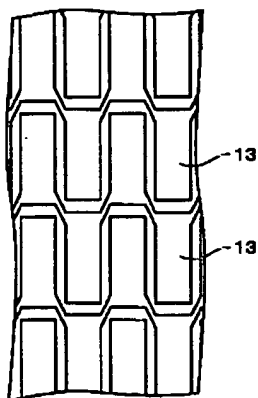
【図1】



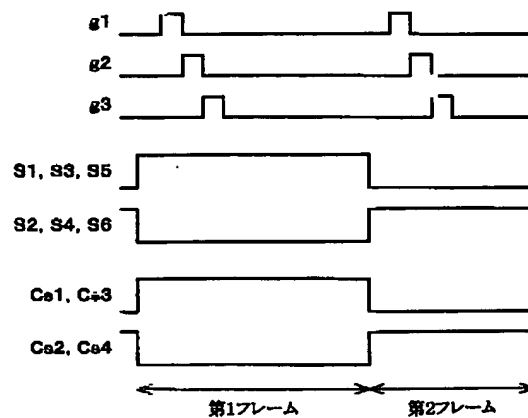
【図2】



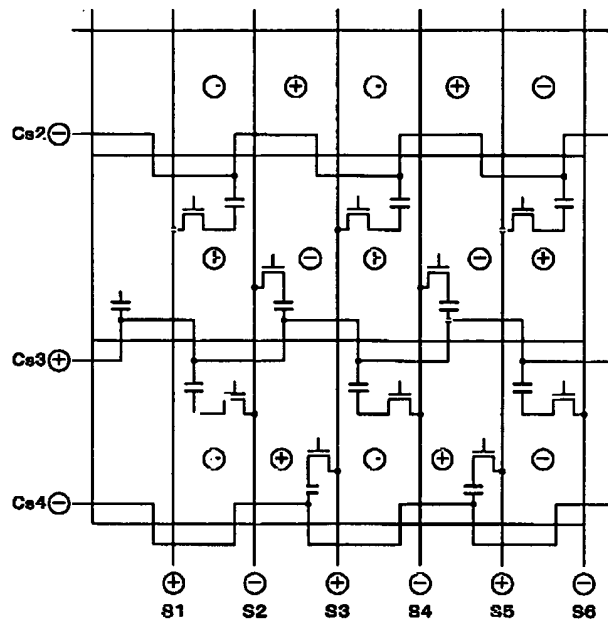
【図3】



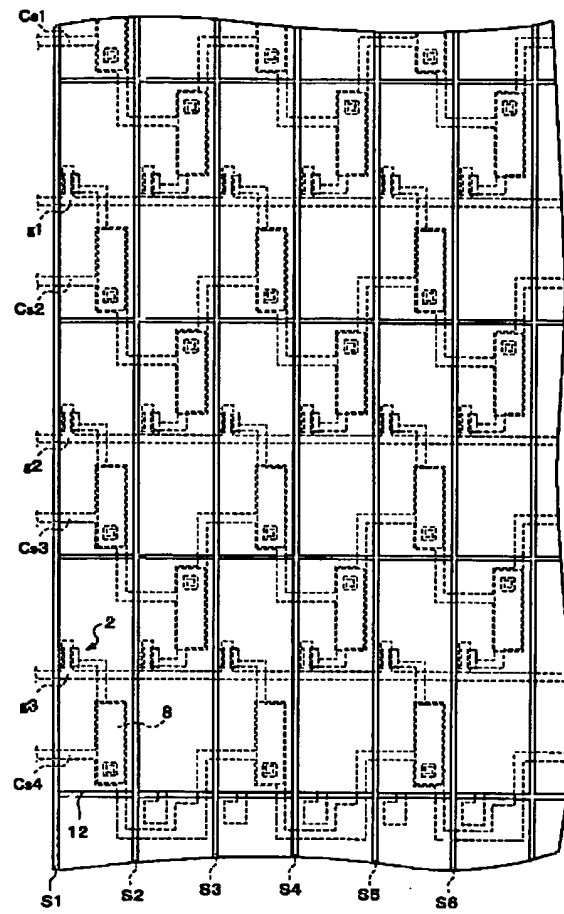
【図4】



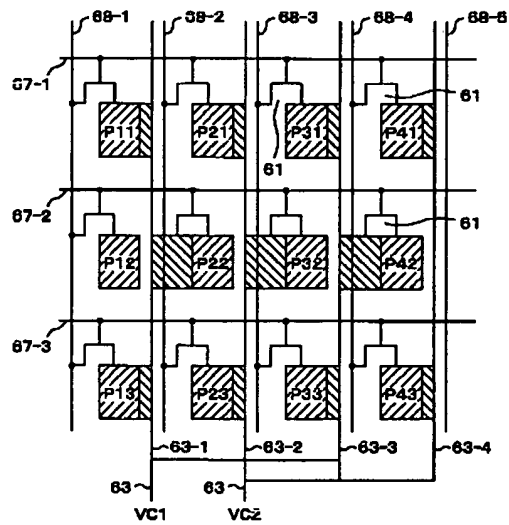
【図5】



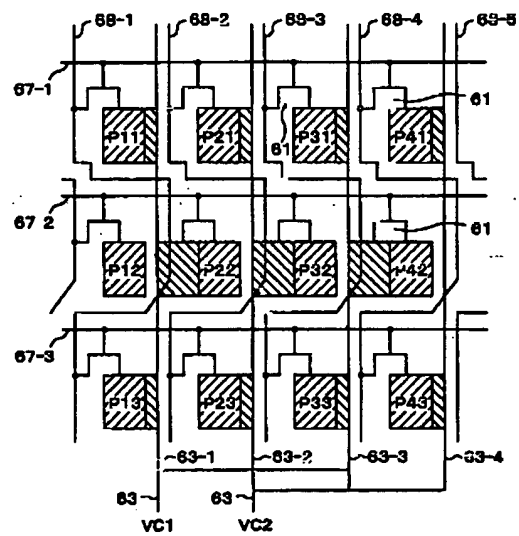
【図6】



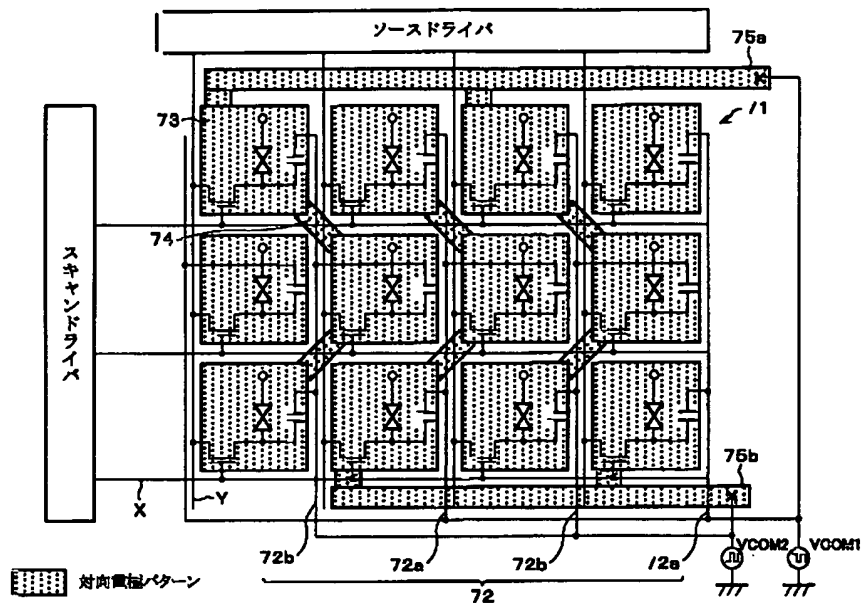
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 2H092 GA05 GA13 GA17 GA21 HA02
 HA04 HA06 JA24 JB64 KA12
 KA22 KB04 KB13 MA24 NA04
 NA16 NA26 PA01
 5C094 AA02 AA22 AA43 AA44 BA03
 BA43 CA19 EA04 EA05 EB02
 EB10
 5F110 AA09 BB01 CC07 DD02 EE04
 FF03 FF09 FF24 GG02 HK09
 NN73